

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-086602
 (43)Date of publication of application : 31.03.1995

(51)Int.Cl.

H01L 29/786
 H01L 21/336
 H01L 21/20
 H01L 21/26
 H01L 21/263
 H01L 21/268

(21)Application number : 05-226180

(71)Applicant : FUJITSU LTD

(22)Date of filing : 10.09.1993

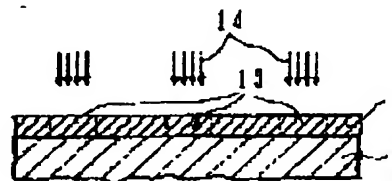
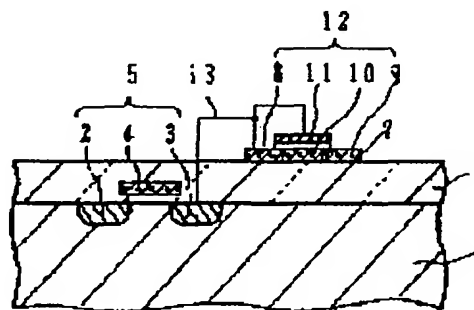
(72)Inventor : MIENO FUMITAKE
 NOMURA HIROSHI
 NAKAMURA MAKOTO
 TOKUNO HIROKAZU
 NAKAGAWA KENJI

(54) MANUFACTURE OF THIN-FILM TRANSISTOR

(57)Abstract:

PURPOSE: To prevent the intrusion of a grain boundary into the channel region of an amorphous semiconductor film, and to obviate the deterioration of transistor characteristics by selectively heating only a section as the channel region at a temperature at which the amorphous semiconductor film is not melted, and forming the nuclei of crystal growth.

CONSTITUTION: An amorphous silicon film 7 is deposited on the surface of an inter-layer insulating film 6. Only the channel region 10 of an afterwards formed TFT 12, etc., is irradiated selectively with ultraviolet rays, etc. Only the channel region 10 is heated at a temperature, where amorphous silicon is not melted, at that time. When the silicon film 7 is annealed at 550-650°C, a silicon crystal is solid-grown while using a crystallized region formed through irradiation with ultraviolet rays, etc., as a nucleus, and a crystal region is expanded. Impurities are doped selectively into the silicon layer 7 shaped in this manner, thus forming a source region 8 and a drain region 9. A gate electrode 11 having insulated gate structure is formed onto the silicon layer 7.



LEGAL STATUS

[Date of request for examination] 27.07.2000

[Date of sending the examiner's decision of rejection] 06.08.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-86602

(43) 公開日 平成7年(1995)3月31日

(51) Int. Cl. ⁶

識別記号

F I

H01L 29/786

21/336

21/20

8122-4M

9056-4M

H01L 29/78

21/26

311

Y

L

審査請求 未請求 請求項の数 9 O L (全6頁) 最終頁に続く

(21) 出願番号

特願平5-226180

(22) 出願日

平成5年(1993)9月10日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 三重野 文健

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 野村 浩

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 中村 誠

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 高橋 敬四郎

最終頁に続く

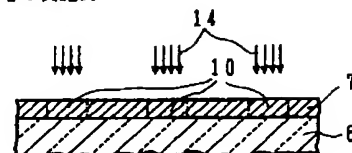
(54) 【発明の名称】 薄膜トランジスタの製造方法

(57) 【要約】

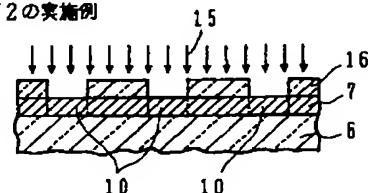
【目的】 チャネル領域内へのグレインバウンダリの進入を防止し、トランジスタ特性の劣化を防止するための薄膜トランジスタ製造方法を提供することを目的とする。

【構成】 絶縁表面上に、薄膜トランジスタのボディとなるアモルファス半導体膜を堆積する工程と、前記アモルファス半導体膜のチャネル領域となる部分のみを、該アモルファス半導体膜が融解しない温度に選択的に加熱し、結晶成長の核を形成する核形成工程と、前記アモルファス半導体膜をアニールするアニール工程とを含む。また、絶縁膜上に、薄膜トランジスタのボディとなるアモルファスシリコン膜を堆積する工程と、前記アモルファスシリコン膜のチャネル領域のみに選択的にゲルマニウムをドーピングする工程と、前記アモルファスシリコン膜をアニールするアニール工程とを含む。

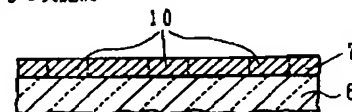
(A) 第1の実施例



(B) 第2の実施例



(C) 第3の実施例



14: 紫外線、レーザー光、電子線
15: ランプ光
16: 熱遮蔽膜

【特許請求の範囲】

【請求項 1】 絶縁表面上に、薄膜トランジスタのボディとなるアモルファス半導体膜を堆積する工程と、前記アモルファス半導体膜のチャンネル領域となる部分のみを、該アモルファス半導体膜が融解しない温度に選択的に加熱し、結晶成長の核を形成する核形成工程と、前記アモルファス半導体膜をアニールするアニール工程とを含む薄膜トランジスタの製造方法。

【請求項 2】 前記アモルファス半導体膜は、アモルファスシリコン膜またはアモルファスシリコンゲルマニウム膜であり、前記アニール工程のアニール温度は、550℃以上650℃以下である請求項 1 記載の薄膜トランジスタの製造方法。

【請求項 3】 前記核形成工程は、紫外線、レーザ光、電子線のうちいずれか一つを前記アモルファス半導体膜表面のチャンネル領域のみに照射して加熱することを特徴とする請求項 1～2 のいずれかに記載の薄膜トランジスタの製造方法。

【請求項 4】 前記核形成工程は、前記アモルファス半導体膜上に、チャンネル領域部分に開口を有する熱遮蔽膜を形成し、該熱遮蔽膜を形成した前記アモルファス半導体膜の全面にランプ光を照射しランプアニールすることを特徴とし、かつ、前記アニール工程の前に前記熱遮蔽膜を除去する工程を含む請求項 1～3 のいずれかに記載の薄膜トランジスタの製造方法。

【請求項 5】 前記熱遮蔽膜は、酸化シリコン膜、窒化シリコン膜、レジスト膜のいずれか一つを含む請求項 4 記載の薄膜トランジスタの製造方法。

【請求項 6】 前記熱遮蔽膜は、アモルファスシリコン膜を含む請求項 4 または 5 記載の薄膜トランジスタの製造方法。

【請求項 7】 前記熱遮蔽膜は多層膜であり、その最上層は、金属膜である請求項 4～6 のいずれかに記載の薄膜トランジスタの製造方法。

【請求項 8】 絶縁膜上に、薄膜トランジスタのボディとなるアモルファスシリコン膜を堆積する工程と、前記アモルファスシリコン膜のチャンネル領域のみに選択的にゲルマニウムをドーピングする工程と、前記アモルファスシリコン膜をアニールするアニール工程とを含む薄膜トランジスタの製造方法。

【請求項 9】 絶縁膜上に、薄膜トランジスタのボディとなるアモルファスシリコン膜を堆積する工程と、前記アモルファスシリコン膜のソース領域及びドレイン領域のみに選択的にゲルマニウムをドーピングする工程と、前記アモルファスシリコン膜をアニールするアニール工程とを含む薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜トランジスタの製造方法に関する。近年、LSI の各素子の微細化が進

み、その限界も近いといわれている。そこで、より高密度化を進めるための方法として、LSI 構造を三次元化する方法が提案されている。LSI 構造を三次元化するためには、絶縁膜上に形成した半導体層に薄膜トランジスタ(TFT)を作製する方法が有力であり、TFT の高性能化が要望されている。TFT は、液晶表示装置におけるガラス基板上のスイッチング素子等としても使用されている。

【0002】

【従来の技術】従来の TFT のボディとなるポリシリコン層は、アモルファスシリコン層を450℃～520℃で堆積し、550℃～650℃でアニールを施すことにより形成していた。

【0003】

【発明が解決しようとする課題】従来のポリシリコン層の形成方法では、シリコン層の不特定の場所に結晶成長の核が発生し、その核を中心に結晶が固相成長する。従って、グレインバウンダリも不規則に発生するため、TFT のチャンネル領域にグレインバウンダリが存在することもある。

【0004】ゲート長が約0.8μm程度以上の場合には、チャンネル領域にグレインバウンダリが存在することは大きな問題とならなかったが、ゲート長が短くなると問題が表面化してくる。

【0005】例えば、チャンネル領域にグレインバウンダリが存在する場合は、存在しない場合に比べてトランジスタオフ時のドレイン電流が増加し、トランジスタオン時のドレイン電流が減少する傾向がある。このように、グレインバウンダリがチャンネル領域に存在することにより、トランジスタの特性が劣化する。グレインバウンダリがチャンネル中にあたり、なかったりすると、当然トランジスタの特性はばらつく。

【0006】本発明の目的は、チャンネル領域内へのグレインバウンダリの侵入を防止し、トランジスタ特性の劣化を防止するための薄膜トランジスタ製造方法を提供することである。

【0007】また、トランジスタの特性を揃えるためには、グレインバウンダリをチャンネル中に必ず入れた状態でもよい。

【0008】

【課題を解決するための手段】本発明の薄膜トランジスタの製造方法は、絶縁膜上に、薄膜トランジスタのボディとなるアモルファス半導体膜を堆積する工程と、前記アモルファス半導体膜のチャンネル領域となる部分のみを、該アモルファス半導体膜が融解しない温度に選択的に加熱し、結晶成長の核を形成する核形成工程と、前記アモルファス半導体膜をアニールするアニール工程とを含む。

【0009】前記アモルファス半導体膜は、アモルファスシリコン膜であり、前記アニール工程のアニール温度

は、550℃以上650℃以下でもよい、また、アモルファスシリコンゲルマニウム膜であり、前記アニール工程のアニール温度は、550℃以上650℃以下でもよい。

【0010】前記核形成工程は、紫外線、レーザ光、電子線のうちいずれか一つを前記アモルファス半導体膜表面のチャンネル領域のみに照射して加熱してもよい。また、前記アモルファス半導体膜上に、チャンネル領域部分に開口を有する熱遮蔽膜を形成し、該熱遮蔽膜を形成した前記アモルファス半導体膜の全面にランプ光を照射し

ランプアニールし、かつ、前記アニール工程の前に前記熱遮蔽膜を除去してもよい。

【0011】前記熱遮蔽膜は、酸化シリコン膜、窒化シリコン膜、レジスト膜のいずれか一つ、または、アモルファスシリコン膜を含んでもよい。また、その最上層は、金属膜であることが好ましい。

【0012】本発明の他の薄膜トランジスタの製造方法は、絶縁膜上に、薄膜トランジスタのボディとなるアモルファスシリコン膜を堆積する工程と、前記アモルファスシリコン膜のチャンネル領域のみに選択的にゲルマニウムをドーブする工程と、前記アモルファスシリコン膜をアニールするアニール工程とを含む。

【0013】また、逆にソース及びドレイン領域のみにゲルマニウムをドーブし、必ずチャンネル中にグレインバウンダリを入れてもよい。

【0014】

【作用】アモルファス半導体膜のチャンネル領域のみに紫外線等を照射することにより、チャンネル領域を結晶化し、結晶成長の核を作ることができる。

【0015】その後、全体をアニールすることにより、この核を中心として結晶を固相成長させることができる。従って、チャンネル領域にグレインバウンダリが侵入することを防止することができる。

【0016】アモルファス半導体膜として、アモルファスシリコンゲルマニウムを使用することにより、アモルファスシリコンの場合に比べてアニール温度を低下させることができる。

【0017】また、チャンネル領域以外の部分を熱遮蔽膜で覆っておき、全面にランプ光を照射することによっても、チャンネル領域を結晶化することができ、同様の効果を得ることができる。さらに、熱遮蔽膜の最上層を金属膜にすることにより、熱遮蔽効果を高めることができる。

【0018】アモルファスシリコン層に形成されるTFTのチャンネル領域のみにゲルマニウムをドーブしてアモルファスシリコン層全体をアニールすることにより、チャンネル領域を結晶化することができる。これは、ゲルマニウムをドーブした部分は、ドーブしない部分に比べて比較的低温で固相成長するためである。

【0019】

【実施例】図1は、本発明の実施例によるTFT製造方法で作製した三次元LSIの概略を示す。単結晶シリコン基板1の表面にソース領域2、ドレイン領域3及びゲート電極4を有するMOSトランジスタ5が形成されている。シリコン基板1の表面に、MOSトランジスタ5を覆うようにSiO₂、BSG、PSG、BPSG等で形成された層間絶縁膜6が設けられている。

【0020】層間絶縁膜6の表面の一部には、TFTのボディとなるポリシリコン層7が形成されている。ポリシリコン層7には、ソース領域8、ドレイン領域9、チャンネル領域10及び絶縁ゲート構造を有するゲート電極11を有するMOSトランジスタ12が形成されている。

【0021】MOSトランジスタ5のドレイン領域3とMOSトランジスタ12のソース領域8は、層間配線13により接続されている。また、MOSトランジスタ12のゲート電極11は、ソース領域8に接続されており、MOSトランジスタ5の負荷抵抗として作用する。

【0022】次に、図2(A)を参照して第1の実施例によるポリシリコン層7の作製方法について説明する。層間絶縁膜6の表面にアモルファスシリコン層7を堆積する。次に、後に形成するTFT12等のチャンネル領域10のみに選択的に紫外線、レーザ光、または電子線14を照射する。紫外線等が照射される部分は、直径1μm程度の小さなスポットであり、この部分が結晶化する。

【0023】このとき、アモルファスシリコンが融解しない程度の温度に加熱する必要がある。融点まで加熱すると、下地基板1に既に形成されているMOSトランジスタ5等に悪影響を与えることになるため、及びアモルファスシリコンが融解すると、その表面張力により液滴状になってしまうためである。

【0024】なお、紫外線照射、レーザ光照射では、フォトリソグラフィの技術を使用して、所望の場所のみに照射することができる。また、電子線照射の場合には、直接描画することにより所望の場所のみに照射することができる。

【0025】次に、シリコン層7を550℃～650℃にてアニールする。このとき、紫外線等の照射によって形成された結晶化した領域を核としてシリコン結晶が固相成長し、結晶領域が拡大する。アニール時間は、550℃のとき数時間、650℃のとき約30分行うことが好ましい。

【0026】このようにして形成したシリコン層7に選択的に不純物をドーブすることにより、ソース領域8、ドレイン領域9を形成する。さらに、シリコン層7上に絶縁ゲート構造を有するゲート電極11を形成する。

【0027】ゲート電極11は、シリコン層7の下側すなわち層間絶縁膜6の中に形成してもよい。さらに、上下両側に形成してもよい。従来例では、不特定の領域に

核が発生し、この核を中心として結晶化が進んだが、本実施例では、チャネル領域に強制的に結晶成長のための核を発生させるため、チャネル領域内にグレインバウンダリが存在することがなくなる。

【0028】以下に、シリコン基板上に形成した厚さ250Åの熱酸化膜上に、アモルファスシリコン層を200Å堆積し、上述の方法によりポリシリコン化したシリコン層に、ゲート長0.5μm、ゲート幅0.3μm、ソース/ドレイン領域の不純物ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ のTFETを形成した結果について示す。

【0029】トランジスタオン時のドレイン電流は、従来方法で製造した場合は、 $1 \times 10^{-4} \text{ A}$ 、標準偏差15%であったのに対し、本実施例の方法で製造した場合は $1 \times 10^{-3} \text{ A}$ 、標準偏差5%であった。このように、本実施例によれば、従来例に比べてトランジスタオン時の電流が1桁多く、その特性のバラツキも少ないTFETを得ることができる。

【0030】なお、紫外線の照射前にアモルファスシリコン層の表面に薄いSiN膜、SiO₂膜等を形成してもよい。このSiN膜、SiO₂膜等はアモルファスシリコン層の保護膜として働き、選択的に結晶化を行う際の安定度を向上することができる。

【0031】アモルファスシリコン層の代わりに、アモルファスシリコンゲルマニウム層を用いてもよい。アモルファスシリコンゲルマニウム層は、GeH₄、及びSiH₄、またはSiH₂を原料とし、400℃～600℃において絶縁膜上に堆積する。

【0032】アモルファスシリコンゲルマニウムはアモルファスシリコンよりも低温で固相成長することができる。また、温度が一定であれば固相成長時間を短縮することができる。

【0033】上記実施例では、TFETをLSIに適用する場合について説明したが、液晶表示装置におけるスイッチング素子に適用することもできる。ただし、一般に液晶表示装置のガラス基板には、耐熱性が低いソーダガラス等の材料を使用する。例えば、ソーダガラスの耐熱温度は約600℃である。従って、アモルファス半導体層としてアモルファスシリコンゲルマニウムを使用し、比較的低温で固相成長することが好ましい。

【0034】TFETのボディとなる層として、上記方法で作製したシリコンゲルマニウム層を使用し、上述と同様のTFETを作製した場合、同等の特性及びバラツキのTFETを得ることができる。

【0035】図2(B)は、本発明の第2の実施例を示す。第1の実施例と同様に、250Åの厚さの絶縁膜6上にアモルファスシリコン層7を200Å堆積する。次に、アモルファスシリコン層7上にSiO₂膜、SiN膜またはレジスト膜等の熱遮蔽膜16を設け、後に形成するTFET12等のチャネル領域10に対応する部分に開口を形成する。

【0036】ランプアニールを用いてランプ光15を照射しアニールを行う。例えば、アモルファスシリコン層表面が約10秒間950℃になるようにアニールを行う。熱遮蔽膜16を除去する。その後、第1の実施例と同様に550℃～650℃でアニールを行う。

【0037】第2の実施例においては、熱遮蔽膜16の開口部において迅速に加熱され、熱遮蔽膜16に覆われた部分は加熱されにくい。そのため、結晶化が熱遮蔽膜16の開口部においてのみ選択的に行われる。このため、第1の実施例と同様の効果を得ることができる。

【0038】本実施例の方法を用いて、第1の実施例で作製したと同様のTFETを作製したところ、トランジスタオン時のドレイン電流は $2 \times 10^{-3} \text{ A}$ 、標準偏差は3%であった。

【0039】熱遮蔽膜としては、照射光の波長領域を透過させない材料であればよい。例えば、SiO₂膜若しくはSiN膜、及びこれら絶縁膜とスパッタ法により形成したシリコン層若しくは450℃で形成したアモルファスシリコン層の2層構造の膜を使用してもよい。

【0040】さらに、SiO₂膜若しくはSiN膜、及び金属膜の2層構造としてもよい。さらに、SiO₂膜若しくはSiN膜、アモルファスシリコン膜、及び金属膜の3層構造にしてもよい。このように、熱遮蔽膜の最上層を光を効率的に反射する膜にすることにより、熱遮蔽効果を高めることができる。

【0041】図2(C)は、本発明の第3の実施例を示す。第1の実施例と同様に、250Åの厚さの絶縁膜6上にアモルファスシリコン層7を200Å堆積する。次に、後に形成するTFET12等のチャネル領域10の部分にゲルマニウムを選択的にドーピングする。ゲルマニウムのドーピングは、パターニングしたマスクを使用して、ゲルマニウムのイオン注入等により行う。その後、第1の実施例と同様に550℃～650℃でアニールを行う。

【0042】ゲルマニウムをドーピングしたアモルファスシリコンの固相成長は、ゲルマニウムをドーピングしていない場合に比べてより低温で起こるため、まず、チャネル領域10の部分で固相成長が生じる。このようにして、チャネル領域10内にグレインバウンダリが生ずることを防止することができる。

【0043】第3の実施例の方法で第1の実施例と同様のTFETを作製した場合、トランジスタオン時のドレイン電流は $1 \times 10^{-3} \text{ A}$ 、標準偏差は5%であった。なお、チャネル領域10にドーピングしたゲルマニウムはIV族元素であるため、導電型に影響を与えることはない。また、ゲルマニウムの代わりに、リン(P)、またはボロン(B)をドーピングしても固相成長温度を低下させることができる。リンまたはボロンをドーピングした場合は、それぞれチャネル領域の導電型はn型またはp型になるため、TFETの閾値電圧を変化させることができる。

【0044】以上実施例に沿って本発明を説明したが、

本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【 0 0 4 5 】

【発明の効果】本発明によれば、チャンネル領域にグレインバウンダリが存在しないようにTFTを形成することができる。そのため、トランジスタ特性の劣化の少ないTFTを形成することができる。

【図面の簡単な説明】

【図1】本発明の実施例によるTFTの製造方法によって作製した三次元LSIの断面の概略図である。

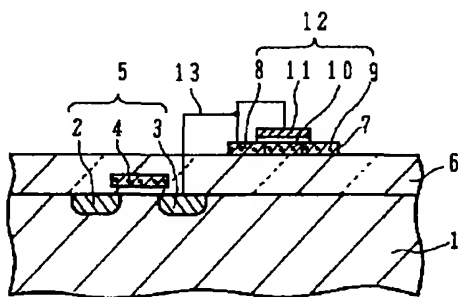
【図2】本発明の第1、第2及び第3の実施例によるTFT製造方法を説明するためのTFT作製基板の断面図である。

【符号の説明】

- 1 シリコン基板
- 2、8 ソース領域
- 3、9 ドレイン領域
- 4、11 ゲート電極
- 5、12 MOSトランジスタ
- 6 層間絶縁膜
- 7 半導体層
- 10 チャンネル領域
- 13 層間配線
- 14 紫外線、レーザ光、電子線
- 15 ランプ光
- 16 熱遮蔽膜

【図1】

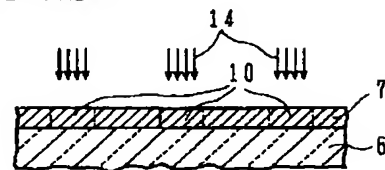
本発明の実施例によって作製した三次元LSI



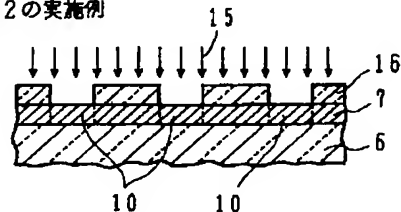
- 1: シリコン基板
- 2, 8: ソース領域
- 3, 9: ドレイン領域
- 4, 11: ゲート電極
- 5, 12: MOSトランジスタ
- 6: 層間絶縁膜
- 7: 半導体層
- 10: チャンネル領域
- 13: 層間配線

【図2】

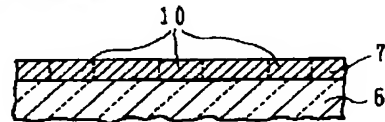
(A) 第1の実施例



(B) 第2の実施例



(C) 第3の実施例



- 14: 紫外線、レーザ光、電子線
- 15: ランプ光
- 16: 熱遮蔽膜

フロントページの続き

(51) Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/26

21/263

21/268

Z

(72)発明者 徳納 弘和
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 中川 健二
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内